

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re application of: **Katsuto TANAHASHI et al.**

Serial Number: **10/743,793**

Filed: **December 24, 2003**

Customer No.: **38834**

For: **SEMICONDUCTOR SUBSTRATE AND MANUFACTURING METHOD
THEREOF**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

March 25, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-381902, filed on December 27, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,

WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian
Attorney for Applicants
Registration No. 32,878

Atty. Docket No.: **032206**
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111

SGA/ww

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月27日
Date of Application:

出願番号 特願2002-381902
Application Number:

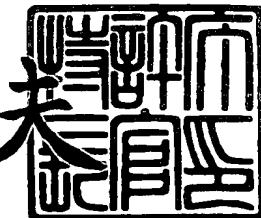
[ST. 10/C] : [JP2002-381902]

出願人 富士通株式会社
Applicant(s):

2003年10月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】

特許願

【整理番号】

0241766

【提出日】

平成14年12月27日

【あて先】

特許庁長官殿

【国際特許分類】

H01L 21/00

【発明の名称】

半導体基板及びその製造方法

【請求項の数】

10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 棚橋 克人

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 金田 寛

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 福田 哲生

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板及びその製造方法

【特許請求の範囲】

【請求項 1】 表面及び裏面の双方が鏡面加工されてなる半導体基板であつて、

前記表面の平坦度として S F Q R 値 ≤ 70 (nm) を満たし、 5×10^{16} (atoms/cm³) 以上 2×10^{17} (atoms/cm³) 以下の濃度にホウ素を含有することを特徴とする半導体基板。

【請求項 2】 前記表面上にシリコンを含有する結晶層を有することを特徴とする請求項 1 に記載の半導体基板。

【請求項 3】 前記結晶層がエピタキシャル成長によるシリコン結晶層であることを特徴とする請求項 2 に記載の半導体基板。

【請求項 4】 前記結晶層がシリコンとゲルマニウムの合金結晶層であることを特徴とする請求項 2 に記載の半導体基板。

【請求項 5】 S O I 基板であり、

前記結晶層がシリコン酸化層によって隔てられた上層のシリコン結晶層であることを特徴とする請求項 2 に記載の半導体基板。

【請求項 6】 要求される前記結晶層の厚み t (μm) に対して、

$$[B] \geq (2.2 \pm 0.2) \times 10^{16} \text{ e x p } (0.21t)$$

の関係式に基づいて、ホウ素の前記濃度 $[B]$ (atoms/cm³) の最低値が規定されてなることを特徴とする請求項 2 ~ 5 のいずれか 1 項に記載の半導体基板。

【請求項 7】 要求されるホウ素の前記濃度 $[B]$ (atoms/cm³) に対して、

$$[B] \geq (2.2 \pm 0.2) \times 10^{16} \text{ e x p } (0.21t)$$

の関係式に基づいて、前記結晶層の厚み t (μm) の最高値が規定されてなることを特徴とする請求項 2 ~ 5 のいずれか 1 項に記載の半導体基板。

【請求項 8】 1×10^{15} (atoms/cm³) 以上の濃度に炭素を含有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の半導体基板。

【請求項9】 5×10^{16} (atoms/ cm^3) 以上 2×10^{17} (atoms/ cm^3)

) 以下の濃度にホウ素を添加してシリコンウエハを形成する工程と、

前記シリコンウエハの結晶層形成面となる表面の裏面を鏡面加工する工程と、

前記シリコンウエハの前記表面を鏡面加工し、前記シリコンウエハのSFR値 ≤ 70 (nm) とする工程と、

前記シリコンウエハの前記表面に結晶層を形成する工程と

を含むことを特徴とする半導体基板の製造方法。

【請求項10】 ホウ素を添加してシリコンウエハを形成する工程と、

前記シリコンウエハの両面を鏡面加工する工程と、

前記シリコンウエハの一方の面に結晶層を形成する工程と

を含む半導体基板の製造方法であって、

前記シリコンウエハの両面の鏡面加工により、SFR値 ≤ 70 (nm) を満足するとともに、前記ホウ素の濃度を 5×10^{16} (atoms/ cm^3) 以上 2×10^{17} (atoms/ cm^3) 以下とすることを特徴とする半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表面及び裏面の双方が鏡面加工されてなる半導体基板、これを用いた半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来より、半導体集積回路用の半導体基板として、 1×10^{19} (atoms/ cm^3) の濃度にホウ素 (B) を含むシリコン基板表面、にシリコン薄膜をエピタキシャル成長させたエピウエハ (以下、p/p⁺と呼ぶ) が広く用いられている。ホウ素とd電子系重金属原子 (例えば鉄) は、シリコン中において複合体(鉄ホウ素ペア)を形成するという働きを持つ。この働きによって、シリコン中のホウ素はd電子系重金属汚染原子を吸引及び捕獲する、いわゆるゲッタリング作用 (ホウ素ゲッタリングと呼ばれている) を有する。そのため、半導体素子の活性領域からデバイスにとって最も有害な重金属原子を除去することができ、歩留まり向

上が図られている。ホウ素を高濃度に含有している p^+ 基板、更には p/p^+ は、
 d 電子系重金属汚染原子に対して絶大なるゲッタリング能力を持つ。

【0003】

【特許文献1】

特開2000-72595号公報

【特許文献2】

特開昭60-31231号公報

【特許文献3】

特開平10-50715号公報

【特許文献4】

特開平11-204534号公報

【特許文献5】

特開2002-208596号公報

【特許文献6】

特開平10-229093号公報

【非特許文献1】

M. J. Binns, S. Kommu, M. R. Seacrist, R. W. Standley, R. Wise,
, D. J. Myers, D. Tisserand and D. Doyle, Electrochemical Society Proceedings
Volume 2002-2, pp 682.

【非特許文献2】

第57回応用物理学関係連合講演会予稿集、7p-ZG-5

【非特許文献3】

Y. Shirakawa, H. Yamada-Kaneta and H. Mori, J. Appl. Phys. 77,
41 (1996)

【0004】

【発明が解決しようとする課題】

上述の p/p^+ は、エピ成膜時の加熱によって p^+ 裏面からホウ素が飛び出し、
エピ膜に取り込まれて比抵抗（ホウ素濃度）を変えてしまうというエピ成膜中の
オートドーピングを回避するために、 p^+ 基板の裏面に低温CVDで形成された

酸化膜（LTO：Low Temperature Oxide）が形成されている。

【0005】

2001年版国際半導体ロードマップ（TRS：International Technology Roadmap for Semiconductors）において、2006年には最小加工線幅70（nm）のトランジスタを有する半導体集積回路の実用化が予測されており、同時にこのトランジスタを作製するためのシリコン基板に対し、S F Q R（Site Front least square Range）値を少なくとも70（nm）以下にする必要があるとしている。ここでS F Q Rとは、ウエハの平坦度を表すために最も頻繁に用いられているパラメータであり、ウエハ表面のある領域（通常はスキャニング・ステッパーのスリットサイズ： 25×8 （mm²））において、数学的に求められた最小2乗平面からのウエハ表面の凹凸振幅として定義される。この要求値は、70（nm）の微細加工を行うのに必要なリソグラフィーの性能から半経験的に求められたものであり、これを満足しないと微細パターン（特にトランジスタのゲート電極）を所望のサイズに製造することが不可能になる。一般的に、最小加工線幅と等しいS F Q R値を有するウエハでなければ、リソグラフィー工程でデフォーカスを生じてパターン形成不良を惹起することが広く認識されており、ITRSもこの考え方でウエハ平坦度を要求している。

【0006】

半導体集積回路作製用のシリコンウエハとして、片面鏡面（SSP：Single Side Polished）ウエハが広く用いられている。上述の裏面にLTO膜を持つp/p⁺もSSPウエハである。しかしながら、図18に示すように、70（nm）世代の半導体集積回路の開発にあたって、従来の製造方法によるSSPウエハではS F Q R値≤70（nm）を満たすのは高々40%程度であり、従ってS F Q R値≤70（nm）を達成できないという問題が発生している。即ち、従来技術により作製したウエハを用いる限り、70（nm）ルールのデバイスを高歩留まりで製造することは不可能である。

【0007】

以下、従来におけるSSPウエハの製造プロセスの一例を簡潔に示す。

シリコン単結晶インゴットの製造 ⇒ 円柱ブロックへの切断加工 ⇒ 円柱プロ

ックの外周研削加工 ⇒ ワイヤソーによるスライス加工 ⇒ ラッピング加工 ⇒ 酸またはアルカリエッティング ⇒ 片面研磨加工。

【0008】

S S P ウエハを基板にしたエピウエハの製造プロセスは、上記の片面研磨加工の後に更に、

裏面に L T O 膜を堆積 ⇒ 表面にエピタキシャル・シリコン結晶層を成長。となる。

前記製造プロセスにおいては、各工程間の洗浄を簡単のため省略してある。ここで S S P ウエハの平坦度に大きく影響するのは、ラッピング加工後の酸またはアルカリエッティングと片面研磨加工である。

【0009】

ラッピング加工は非常に高い平坦度を実現できるが、ウエハ表面に歪みや不純物が残るために、酸またはアルカリエッティングを行ってこれらを除去する必要がある。

【0010】

酸エッティングは拡散律速過程であるので、酸エッティング液のウエハ近傍における流れの不均一がエッティング速度に影響し、歪みや不純物を除去できるもののエッティングむらに起因する凹凸が発生しやすい。他方、アルカリエッティングは表面反応律速であるため、エッティング液流れの不均一の影響は小さいが、シリコンに対しては異方性、即ち結晶方位によってエッティング速度が異なるので、表面に異方性起因の凹凸が現われやすい。しかし、この凹凸の周期は酸エッティング起因の凹凸周期の数10分の1以下なので、今日ではアルカリエッティングあるいはアルカリエッティング+酸エッティングが主として用いられている。

【0011】

上記のように、エッティング終了後のウエハからは歪みや不純物は十分除去されているものの、表面、裏面共に凹凸が発生しており、これを除去して平坦な表面を実現するのが次の研磨加工である。

【0012】

しかしながら、現在では未だ片面研磨方法が主流技術であり、これは裏面をセ

ラミック・プレートに接着または吸着して表面を研磨する方法である。従って研磨終了後に確かに表面は平坦になるが、それはプレートに接着（または吸着）した状態でのことであり、ウエハをプレートから取り外すと裏面の凹凸は研磨終了後もそのまま残っているため、裏面の凹凸の一部が表面に伝達あるいは転写（print through）される。この転写が原因で表面の凹凸が生じ、S F Q Rとして測定される。

【0013】

以上からわかるように、表裏をともに研磨すれば非常に平坦度の高い（S F Q R値の小さい）ウエハを実現できる。表裏を共に研磨したウエハをD S P (Double Side Polished)ウエハという。但し、D S Pウエハはドライエッチング時における静電チャックとの接触面積が、S S Pウエハと較べて非常に大きく、このためコンタクト・ホールを形成するとその直径がS S Pウエハの場合に較べて大きく異なってしまうことが知られている。また静電チャックからのデ・チャッキング(de-chucking)シーケンスがS S Pウエハと大きく異なること、S S Pウエハ用の搬送系ではD S Pウエハはすべりを起こしてしまうことも認識されており、これらのことから、S S PウエハとD S Pウエハと同じデバイス製造ラインで用いることが難しい、あるいはコストアップになることが判明している。

【0014】

S F Q R \leq 70 (nm) を達成するためには、ウエハ裏面の凹凸を低減する必要があることは前節の議論から明らかである。その一つの方法は両面研磨を行う方法である。発明者らの測定によれば、D S Pウエハは、S F Q R \leq 70 (nm) を満足しており（図1参照）、十分に70 (nm) 世代のリソグラフィーの要求に答えている。しかしながら前節で述べたように、D S Pウエハは従来ではS S Pウエハと同じ製造プロセスで用いることが難しいという問題がある。

【0015】

そこで案出されたのが、従来のS S Pウエハの裏面を軽く研磨して裏面凹凸を部分的に除去したウエハである（以下、このウエハを準D S Pウエハ(Semi-D S Pウエハ)と呼ぶ。）。この新しいS S PウエハもまたS F Q R \leq 70 (nm) を満足している（図2参照）。しかも裏面の凹凸状態が従来のS S Pウエハに近

いので、デバイス・プロセス上の不具合が発生しない。

【0016】

以上の議論から、今後の微細デバイス（具体的には、70（nm）世代以降）を製造するリソグラフィープロセスにて十分な平坦度を実現するには、裏面をわずかに研磨した準DSPウエハまたは完全なDSPウエハを用いなければならぬ。

【0017】

ところが、DSPウエハを基板とするp/p+エピウエハの作製工程において、裏面にLTO膜を堆積することが新たな問題を引き起こす。それは以下の通りである。

【0018】

LTO膜の成膜及びエピ層の成長を含む、考え得るプロセスは、

- ①……ラッピング加工 ⇒ 酸またはアルカリエッティング ⇒ 裏面研磨 ⇒ LTO膜の成膜 ⇒ 表面研磨 ⇒ エピ層の成長
- ②……ラッピング加工 ⇒ 酸またはアルカリエッティング ⇒ 表面研磨 ⇒ LTO膜の成膜 ⇒ 裏面研磨 ⇒ エピ層の成長
- ③……ラッピング加工 ⇒ 酸またはアルカリエッティング ⇒ 両面研磨 ⇒ LTO膜の成膜 ⇒ エピ層の成長
- ④……ラッピング加工 ⇒ 酸またはアルカリエッティング ⇒ LTO膜の成膜 ⇒ 両面研磨 ⇒ エピ層の成長

のいずれかである。しかし、②、③では、LTO膜の成膜時に表面の少なくとも一部を治具またはサセプターで支持しなければならない。これはウエハ表面にキズ発生や異物付着のリスクを増やすことになるので、再度表面を研磨したり洗浄工程を追加しなければならなくなり、ウエハの価格上昇を引き起こす。

【0019】

従って、準DSPウエハまたはDSPウエハを基板とするエピウエハの製造プロセスは①または④に絞られる。④ではシリコンウエハそのものはSSPのままであるが、LTO膜表面を研磨しているので、実質的にはDSPウエハである。

しかし最近では、LTO膜そのものもウエハ価格上昇の一因になるとして、こ

れをはずすエピウエハが開発されている。

【0020】

玉塚らは、LTO膜を形成しないp/p⁺エピウエハを案出した（特許文献1参照）。この場合、LTO膜を形成しないことにより生じる問題は、エピ成膜中のオートドーピングである。彼らは、p⁺基板中のホウ素濃度を従来の1×10¹⁹ (atoms/c m³) から、2.5×10¹⁷ (atoms/c m³) 以上8×10¹⁸ (atoms/c m³) 以下の範囲へ下げるにより、オートドーピング対策を不要とした。d電子系以外の元素（例えばモリブデン）に対してはホウ素ゲッタリングは作用せず、酸素析出物によるゲッタリングが有効であることが知られている。玉塚らは、酸素析出物の形成を促進し酸素析出ゲッタリングを付加するために、p⁺基板（結晶）育成中に不純物窒素をドーピングすることも案出している。

【0021】

しかしながら、LTO膜を有しないp/p⁺エピを用いて半導体集積回路を製造すると、加熱工程におけるオートドーピングという新たな問題に直面することが判った（特許文献2でBinnsらが指摘している。）。これは、半導体集積回路作製の加熱工程において、p⁺基板中のホウ素が裏面から飛び出して近隣するウエハの表面に付着し、デバイスを作製する領域の比抵抗（ホウ素濃度）を変えてしまうことである。このため、デバイスが正常に動作しないという状況に陥る。Binnsによれば、加熱工程におけるオートドーピング発生の有無は、加熱時の雰囲気ガス種に依存する。酸素雰囲気で加熱処理を施した場合、ウエハ表面に酸化膜が形成される。この酸化膜がオートドーピング阻止の働きを持つ。一方、窒素雰囲気で加熱処理を施した場合、オートドーピングの発生が確認されている。半導体集積回路作製の加熱工程は種々の雰囲気下で行われるため、酸化性・非酸化性という雰囲気ガス種に関わらずオートドーピングが回避できるウエハの開発が望まれている。

【0022】

本発明は、70 (nm) 世代のリソグラフィー工程の平坦度要求に応え、且つ酸化・非酸化という雰囲気ガス種に関わらず、加熱工程におけるオートドーピングを回避しながらも十分なゲッタリング能力の確保を可能とする半導体基板、半

導体装置及びその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】

本発明の半導体基板は、表面及び裏面の双方が鏡面加工されてなる半導体基板であって、前記表面の平坦度としてS F Q R 値 ≤ 70 (nm) を満たし、 5×10^{16} (atoms/cm³) 以上 2×10^{17} (atoms/cm³) 以下の濃度にホウ素を含有するものである。

【0024】

本発明の半導体装置は、前記半導体基板上に半導体素子が形成されてなるものである。

【0025】

本発明の半導体装置の製造方法は、前記半導体基板を用い、前記半導体基板上に半導体素子を形成する。

【0026】

本発明の半導体基板の製造方法は、 5×10^{16} (atoms/cm³) 以上 2×10^{17} (atoms/cm³) 以下の濃度にホウ素を添加してシリコンウエハを形成する工程と、前記シリコンウエハの結晶層形成面となる表面の裏面を鏡面加工する工程と、前記シリコンウエハの前記表面を鏡面加工し、前記シリコンウエハのS F Q R 値 ≤ 70 (nm) とする工程と、前記シリコンウエハの前記表面に結晶層を形成する工程とを含む。

【0027】

本発明の半導体基板の製造方法は、ホウ素を添加してシリコンウエハを形成する工程と、前記シリコンウエハの両面を鏡面加工する工程と、前記シリコンウエハの一方の面に結晶層を形成する工程とを含み、前記シリコンウエハの両面の鏡面加工により、S F Q R 値 ≤ 70 (nm) を満足するとともに、前記ホウ素の濃度を 5×10^{16} (atoms/cm³) 以上 2×10^{17} (atoms/cm³) 以下とする。

【0028】

【発明の実施の形態】

－本発明の基本骨子－

従来の技術の欄で述べた加熱工程におけるオートドーピングを回避するための最も単純な方法は、p⁺基板のホウ素濃度を下げる事である。しかし、ホウ素の低濃度化は、ホウ素によるゲッタリング能力不足の原因となり、半導体集積回路の動作不良を招きかねない。ところでp/p⁺のゲッタリング能力は、半導体集積回路の動作不良を招く基準レベルより遥かに高い。従って、このような基準レベルまでのゲッタリング能力の低下を許容することにより、ホウ素の低濃度化は可能である。そこで本発明者は、p⁺基板（シリコンウエハ）中のホウ素を低濃度化し、①加熱工程におけるホウ素のオートドーピングの回避と、②半導体集積回路の正常動作が可能なゲッタリング能力確保という、相反する2つの課題を満たすホウ素濃度の最適な妥当範囲を定量的に正確に限定し、今後のS F Q R値 ≤ 70 (nm)の要求に応えるべく、当該最適なホウ素濃度を模索することにした。

【0029】

また、ホウ素は酸素析出核になることが知られており（例えば、稲葉ら、特許文献3参照）、ホウ素の低濃度化は核密度の低下をもたらし、酸素析出不足、引いては酸素析出ゲッタリング不足を惹起する。本発明者らは、酸素析出核形成に対する不純物炭素の効果を、赤外吸収法を用いて観測した（特許文献4参照）。不純物炭素をドーピングしたCZシリコン結晶中の酸素析出核が炭素と酸素の複合体であることを見出した。そこで本発明者は、ホウ素ゲッタリングに加えて、d電子系以外の汚染金属（例えばモリブデン）のゲッタリング源となる酸素析出物の形成を促進するために、エピウエハ作製に用いるシリコン基板に炭素ドーピングを適用することに想到した。炭素による酸素の析出促進効果は、デバイス・プロセスにおける熱処理温度が800℃かそれ以下に低温化されてもほとんど失われないことが判っており（同文献）、今後のプロセスへ適用することにおいて何ら問題はない。

【0030】

エピウエハ中におけるホウ素の低濃度化は既に行われている。基板ホウ素濃度をp⁺の 1×10^{19} (atoms/cm³) から 1×10^{15} (atoms/cm³) まで下げたエピウエハが既に開発されている（p/p⁺に対してp/p⁻と呼ばれている）。

)。p/p-はホウ素濃度が低いためにオートドーピングは発生せず、裏面にLTOT膜を持たない。p/p-は、p/p+が有するホウ素ゲッタリングが全く期待できない。そこで、p-基板に窒素や炭素をドーピングして酸素析出を促進し、酸素析出ゲッタリング能力を付加する技術が開発された。本発明は、オートドーピング回避とゲッタリング能力確保の両立をホウ素濃度を最適化することにより達成し、更にこれを炭素ドーピングで助長することに主眼がある。ウエハの仕様についても、本発明において案出したエピウェハの基板ホウ素濃度は、p/p+とp/p-との中間領域で規定される。

【0031】

上述した特許文献1以外にも、基板ホウ素濃度を記載した文献は多々あるが、本発明の基板ホウ素濃度範囲は従来技術では規定されていない未使用な領域であり、上記の着眼点に基づき、基板ホウ素濃度の最適範囲を本発明の如く厳格に規定したものは開示・示唆共に皆無である（例えば、特許文献5～9参照）。加えて、このような中間ホウ素濃度のエピウェハへの炭素ドーピングに関する従来技術も当然ない。

【0032】

即ち、本発明の半導体基板は、DSPウェハ（図1）または準DSPウェハ（図2）であって、基板表面に配列した 25×8 (mm²) の長方形領域の95%以上（図3）において、S F Q R 値 ≤ 70 (nm) なる平坦度を有し、 5×10^{16} (atoms/c m³) 以上 2×10^{17} (atoms/c m³) 以下の濃度にホウ素を含有する。このシリコン基板は、一例として図4に示すように、DSPウェハ又は準DSPウェハでS F Q R 値 ≤ 70 (nm) を満たし、当該基板ホウ素濃度を有するシリコン基板11の表面上に、エピタキシャル成長によるシリコン結晶層12が形成されてなるものである。

【0033】

ここで、基板ホウ素濃度の上限を 2×10^{17} (atoms/c m³) に規定することにより、①エピタキシャル成長工程におけるホウ素のオートドーピングを回避することができ、且つ基板ホウ素濃度の下限を 5×10^{16} (atoms/c m³) に規定することにより、②ホウ素によるゲッタリング能力を確保することができる。従

って、基板ホウ素濃度を上記の如く厳格に限定することにより、S F Q R 値 ≤ 70 (nm)、即ち最小加工線幅 70 (nm) 以下のルールに適用し、上記の①、②の要請を共に満たす高性能デバイスが実現する。更に、炭素濃度を 1×10^{15} (atoms/cm³) 以上とすることにより、酸素析出物によるゲッタリング能力を持たせることができる。

【0034】

－本発明の具体的な諸実施形態－

以下、本発明の具体的な諸実施形態について説明する。

【0035】

(第1の実施形態)

本実施形態では、本発明の半導体基板について詳述する。

【0036】

始めに、この半導体基板の製造方法について簡略に説明する。

先ず、シリコン融液にホウ素を添加する。このとき、形成されるシリコンウエハのホウ素濃度が 5×10^{16} (atoms/cm³) 以上 2×10^{17} (atoms/cm³) 以下となるように制御する。続いて、引き上げ法によりホウ素を含有するシリコン結晶を育成する。続いて、育成したシリコンインゴットをウエハ状に加工し、ラッピング加工の後に酸又はアルカリを用いたエッチングを行い、シリコンウエハの結晶層形成面となる表面の裏面を鏡面加工し、続いてシリコンウエハの表面を鏡面加工する。これら両面の鏡面加工により、シリコンウエハの S F Q R 値 ≤ 70 (nm) とする。そして、シリコンウエハの表面に結晶層、例えばエピタキシャル成長法によりエピ層を形成する。

【0037】

上述の発案に基づき、オートドーピングとゲッタリング能力とを評価し、ホウ素濃度の最適化を図った。表1は評価に用いた試料一覧である。試料は全て直径が 200 (mm) のものである。後述するが、本発明の半導体基板は、直径が 200 mm であろうと 300 (mm) であろうと、またはそれ以上であろうと直径を選ばずに適用できる。また、試料 A～H の裏面には LTO は形成されていない。

【0038】

【表1】

試料名	ボロン濃度(/cm ³)	炭素濃度(/cm ³)	エビ [°] 厚(μm)
A	8×10^{17}	0	3
B	6×10^{17}	0	3
C	2×10^{17}	0	3
D	6×10^{17}	0	5
E	5×10^{16}	0	5
F	2×10^{17}	0	10
G	5×10^{16}	0	10
H	1×10^{15}	5×10^{16}	3

表1 加熱工程のオートドーピング、ゲッタリング能力、酸素析出量の評価に用いた試料一覧

【0039】

上記試料を用いて、加熱工程におけるオートドーピング発生の有無を調査した。

図5に示すように、本発明のシリコン基板試料No. 1～4を並べ、その間にモニター用のシリコンウェハを置いた。実験には直径150（mm）用の熱処理炉を用いたため、直径200（mm）のシリコン基板を4分割して炉内に導入した。加熱工程において、試料No. 1～4の裏面から飛び出したホウ素がモニター用ウェハの表面に付着する。そこでモニター用ウェハ表面のホウ素濃度を測定することによってオートドーピングの程度を評価した。

【0040】

図6は、加熱工程における熱処理シーケンスである。

高温での保持時間を1000℃で30分間と1100℃で30分間との各場合について実験を行った。加熱時のガス雰囲気は、目的に応じて酸化性・非酸化性雰囲気を使い分けた。図7は、試料Aに対して図6（b）の条件で酸素雰囲気下にて加熱処理を施したときのモニター用ウェハのホウ素濃度を示す特性図である。ホウ素濃度は二次イオン質量分析法（SIMS法）を用いて測定した。

【0041】

図7では、熱処理中、試料Aの裏面からホウ素が飛び出し、モニター用ウェハに付着し、ウェハ内部へ拡散した、即ち加熱工程のオートドーピングを示している。但し、殆どのホウ素は酸化膜内に取り込まれており、酸化膜がオートドーピング抑止の働きを有することが確認された。また、上記実験を非酸化性雰囲気下で実施した場合、酸化膜内に取り込まれているホウ素が基板内に拡散してしまうことに注意しなければならない。

【0042】

図7では、酸化膜内と酸化膜／シリコン基板の界面から検出されたホウ素のドーズ量は 5.3×10^{11} (atoms/cm²) となり、決して無視できる量ではない。即ち、試料Aはオートドーピングに関しては不合格である。

【0043】

そこで、ホウ素濃度が試料Aの次に低い試料Bを用いて、再度、オートドーピ

ングを調査した。今回は図7の結果を考慮し、窒素雰囲気下（非酸化性雰囲気下）で加熱処理を施した。図8は、(a) 1000°Cと(b) 1100°Cの場合におけるモニター用ウエハのホウ素濃度である。図8において、ドーズ量は、(a) で 5.3×10^{10} (atoms/cm²)、(b) で 5.8×10^9 (atoms/cm²) である。

【0044】

図8のドーズ量は図7のそれに比べて一桁低下しており、加熱工程におけるオートドーピングは問題なしと判断できる。以上のように、ホウ素の低濃度化によってオートドーピング回避を達成した。ここで、加熱処理中にシリコン基板裏面から飛び出すホウ素原子数は基板面積に比例する。実験に用いた試料は直径200 (mm) を4分割したものである。このことを考慮すると、オートドーピング回避には試料Bのホウ素濃度を1/4にする必要がある。加えて、直径が300 (mm) になると（直径が200 (mm) に対して面積比は9/4）、更にホウ素濃度を試料Bの4/9にする必要がある。

【0045】

その一方で、図5のウエハ間隔が長くなれば、シリコン基板裏面から飛び出したホウ素がモニタウエハへ飛来し付着する確率は減少する。そのため、ホウ素の高濃度化が許容できる。単純にはウエハ間隔に比例する。今回は直径150 (mm) 用の炉を用いているためウエハ間隔は5 (mm) であるが、直径200 (mm) 又は300 (mm) 以上になると、ウエハ間隔は約2～3倍になるため、最大で3倍のホウ素高濃度化が許容できる。

【0046】

オートドーピングに関して試料Aは不合格、試料Bは合格の判定を下したが、以上を考慮するとオートドーピング合格・不合格の濃度は、

試料Aより、不合格： $(8 \times 10^{17}) \times 1/4 \times 4/9 \times 3 = 2.5 \times 10^{17}$ (atoms/cm³)

試料Bより、合格： $(6 \times 10^{17}) \times 1/4 \times 4/9 \times 3 = 2 \times 10^{17}$ (atoms/cm³)

となる。基板ホウ素の低濃度化に伴い加熱中に飛び出すホウ素の量が減少し、オ

ートドーピング量が減少する。上記評価より、ホウ素濃度が 2×10^{17} (atoms/ cm^3) 以下のシリコン基板はオートドーピングの問題なしと評価できる。

【0047】

次に、ゲッタリング能力を評価した。スピンドルコート法を用いて、試料B～Hに同一量の鉄元素を塗布した。引き続き半導体素子製造工程を擬似した熱処理を施した。この熱処理シーケンスが、70 (nm) 世代のプロセス、即ち低温プロセスを想定していることは言うまでもない。熱処理終了後、DLTS (Deep Level Transient Spectroscopy) 法を用いて、表層の残留鉄濃度を測定した。図9に試料B～Gの表層残留鉄濃度を示す。表層残留鉄濃度が少ないほど鉄元素はウエハ内部でゲッターされていることを示しており、高いゲッタリング能力を持つウエハと言える。

【0048】

図9において、基準ウエハ1, 2は、最小加工線幅90 (nm) ～100 (nm) 以上のトランジスタを有する半導体集積回路の作製に用いられてきたシリコンウエハである。また、試料B～Gは、表1に示した試料B～Gと同じものである。ウエハに付加するゲッタリング能力は、基準ウエハ1あるいは2が目安であり、基準ウエハ1と基準ウエハ2が示す残留鉄濃度値であれば、ゲッタリング能力としては十分である。従って、図9より、試料B～Gは、半導体集積回路を正常動作させる基準レベル程度のゲッタリング能力を持つことが判った。

【0049】

更に、図9より、エピウエハのゲッタリング能力は、基板ホウ素濃度とエピ厚の両方に依存することが判る。エピ層が薄いほど、ゲッタリングシンク (エピ基板) までの距離が短くなるのでゲッタリング能力は高くなる (例えば、図9における試料BとD、あるいはCとF、あるいはEとGの比較)。エピ厚が同じならば、基板ホウ素濃度が高いほど、ゲッタリングシンクは高密度に存在するためゲッタリング能力は高い (例えば、図9における試料BとC、DとE、あるいはFとGの比較)。

【0050】

以上のことから、試料Gのように、ホウ素濃度を 5×10^{16} (atoms/ cm^3)

有していれば、必要最低限のゲッタリング能力が得られることがわかる。

【0051】

図10は、各種エピ厚について、基準ウエハ1のゲッタリング能力を凌駕する（基準ウエハ1の残留鉄濃度より少なくなる）ときの基板ホウ素濃度をプロットした特性図である。

シリコン結晶層の厚み（エピ厚）が3 μm 、5 μm の試料では、残留鉄濃度が基準ウエハ1を超えるものがなかったため、実験試料の中で基板ホウ素濃度の最低値を用いた。図10より、ゲッタリング能力が合格となるエピ厚 t (μm)と基板ホウ素濃度 $[B]$ (atoms/ cm^3) は（1）式で与えられる。

$$[B] \geq (2.2 \pm 0.2) \times 10^{16} \text{ e x p} (0.21t) \quad \dots \quad (1)$$

【0052】

これより、エピ厚を t (μm)としたとき、 $[B]$ (atoms/ cm^3) 以上の基板ホウ素濃度とすれば良いことが判った。あるいは、基板ホウ素濃度を $[B]$ (atoms/ cm^3)としたとき、 t (μm)以下のエピ厚にすれば良いことが判った。

【0053】

図11は、試料Eに関して、半導体素子製造工程を擬似した熱処理前後の酸素析出量を示す特性図である。

熱処理前後の試料の酸素濃度をフーリエ変換型赤外吸収分光光度計を用いて測定し、両者の差を求めた。炭素をドーピング（基板炭素濃度 = 5×10^{16} (atoms/ cm^3)）した試料の酸素析出量は、ドーピングしていない試料のおよそ10倍である。炭素ドーピングによる酸素の析出促進効果が観測された。

【0054】

なお、本発明は、この実施形態に限定されるものではない。上記の実施形態は本発明の半導体基板をエピウエハに応用した場合の例であり、本発明の請求範囲に記載された着眼点と同一な点を有し、同様な作用をもたらすものは、如何なるものであっても本発明の技術的範疇に包括される。

【0055】

例えば、図12に示すように、本発明の濃度範囲のホウ素及び炭素をそれぞれ添加し、且つSFR値 ≤ 70 (nm) を満たすシリコン基板21は、その表面

にシリコンとゲルマニウムの合金結晶層22を成長してもゲッタリングの効果が十分に期待され、70（nm）世代のデバイス製造に適している。図13に示すように、更に合金結晶層22の表面にシリコン結晶層23を形成した半導体基板でも同様である。これら2種類の半導体基板は、歪みシリコンウエハと呼ばれており、今後の高速デバイス製造に用いられることが期待されている。

【0056】

また、図14及び図15に示すように、本発明の濃度範囲のホウ素、炭素を添加し且つS F Q R 値 \leq 70（nm）を満たすシリコン基板31を用いて、S I M O X法または張り合わせ法によってS O I (Semiconductor On Insulator)基板を製造することもできる。

【0057】

ここで、S I M O X法では図14のように、シリコン基板31の内部に酸素イオンを導入し、シリコン酸化層32を形成することにより、シリコン基板31上にシリコン酸化層32を介してシリコン結晶層33を形成する。

【0058】

先ず、シリコン融液にホウ素を添加する。このとき、形成されるシリコンウエハのホウ素濃度が 5×10^{16} (atoms/ cm^3) 以上 2×10^{17} (atoms/ cm^3) 以下となるように制御する。続いて、引き上げ法によりホウ素を含有するシリコン結晶を育成する。続いて、育成したシリコンインゴットをウエハ状に加工し、ラッピング加工の後に酸又はアルカリを用いたエッチングを行い、シリコンウエハの結晶層形成面となる表面の裏面を鏡面加工し、続いてシリコンウエハの表面を鏡面加工する。これら両面の鏡面加工により、シリコンウエハのS F Q R 値 \leq 70（nm）とする。そして、シリコンウエハの内部に酸素イオンを導入してシリコン酸化層を形成した後、シリコンウエハの表面に結晶層、例えばエピタキシャル成長法によりエピ層を形成する。

【0059】

また、張り合わせ法では図15のように、シリコン基板31上に、表面及び裏面に熱酸化層35を有するシリコン基板34を張り合わせ、表面の熱酸化膜35及びシリコンを除去することにより、シリコン基板31上に熱酸化層35を介し

てシリコン結晶層36を形成する。これらの場合でも、ホウ素及び炭素の効果によるゲッタリングを期待できることは明らかである。

【0060】

先ず、シリコン融液にホウ素を添加する。このとき、形成されるシリコンウェハのホウ素濃度が 5×10^{16} (atoms/ cm^3) 以上 2×10^{17} (atoms/ cm^3) 以下となるように制御する。続いて、引き上げ法によりホウ素を含有するシリコン結晶を育成する。続いて、育成したシリコンインゴットをウェハ状に加工し、ラッピング加工の後に酸又はアルカリを用いたエッチングを行い、シリコンウェハの結晶層形成面となる表面の裏面を鏡面加工し、続いてシリコンウェハの表面を鏡面加工する。これら両面の鏡面加工により、シリコンウェハのSFR値 ≤ 70 (nm) とする。そして、上述のように他のシリコンウェハを張り合わせ、張り合わせたシリコンウェハの一部を除去する。

【0061】

更に、歪みシリコンウェハとSOI構造とを組み合わせた歪みSOI基板においても、本発明の効果はあり得る。この半導体基板は、具体的には図16に示すように、図13の合金結晶層22の表面にシリコン結晶層23を形成した後、このシリコン結晶層23に例えばSIMOX法を適用してシリコン酸化層42を形成する。これにより、シリコン結晶層23は、シリコン酸化層42上にシリコン結晶層41を有するように形成される。

【0062】

実のところ、SOI基板に関してはその製造方法における問題の解決に開発が集中しており、SOI基板のゲッタリングに関しては有効な方法が見出されていない。本発明のシリコン基板を各種のSOI基板に用いれば、ゲッタリング能力を付与したSOI基板となる結果、各種デバイスの信頼性の向上を実現することが可能である。

【0063】

なお、上記の議論から明らかなように、本発明のシリコン基板は、直径が200 (mm) であろうと300 (mm) であろうとまたそれ以上であろうと直径を選ばずに実施できることは明らかである。

【0064】

(第2の実施形態)

本実施形態では、第1の実施形態で説明した半導体基板を用いて半導体素子が形成されてなる半導体装置及びその製造方法について詳述する。ここでは、半導体基板として図4に示した半導体基板を例示し、MOSトランジスタを形成する場合を説明する。なお、本発明はMOSトランジスタのみならず、その他の半導体デバイス全般に適用可能である。

【0065】

図17は、第2の実施形態のMOSトランジスタを示す概略断面図である。

このMOSトランジスタは、第1の実施形態の図4で説明したシリコン基板1上にシリコン結晶層（エピ層）12が形成されてなる半導体基板において、シリコン結晶層12内にn型不純物がイオン注入されてnウェル51が形成され、シリコン結晶層12上にゲート絶縁膜52及びゲート電極53がパターニングされ、ゲート電極53をマスクとしてp型不純物がイオン注入されてソース54及びドレイン55が形成されてなる、いわゆるp型MOSトランジスタである。

【0066】

本実施形態によれば、半導体集積回路作製の加熱工程が酸化・非酸化という雰囲気ガス種に関わらず、加熱工程におけるオートドーピングを回避しながらも十分なゲッタリング能力が確保でき、且つ70（nm）世代に必要な平坦度を満たすエピウェハを半導体集積回路の作製用基板として用いることができる。これにより、最小加工線幅が70（nm）のMOSトランジスタを有する半導体集積回路の製造が可能となった。

【0067】

以下、本発明の諸態様を付記としてまとめて記載する。

（付記1）表面及び裏面の双方が鏡面加工されてなる半導体基板であって、前記表面の平坦度としてS F Q R 値 ≤ 70 （nm）を満たし、 5×10^{16} （atoms/cm³）以上 2×10^{17} （atoms/cm³）以下の濃度にホウ素を含有することを特徴とする半導体基板。

【0068】

(付記2) 前記表面上にシリコンを含有する結晶層を有することを特徴とする付記1に記載の半導体基板。

【0069】

(付記3) 前記結晶層がエピタキシャル成長によるシリコン結晶層であることを特徴とする付記2に記載の半導体基板。

【0070】

(付記4) 前記結晶層がシリコンとゲルマニウムの合金結晶層であることを特徴とする付記2に記載の半導体基板。

【0071】

(付記5) 前記結晶層が、シリコンとゲルマニウムの合金結晶層及びシリコン結晶層の積層構造層であることを特徴とする付記2に記載の半導体基板。

【0072】

(付記6) 前記シリコン結晶層が内部においてシリコン酸化層によって隔てられたS O I構造に形成されていることを特徴とする付記5に記載の半導体基板。

【0073】

(付記7) S O I基板であり、
前記結晶層がシリコン酸化層によって隔てられた上層のシリコン結晶層であることを特徴とする付記2に記載の半導体基板。

【0074】

(付記8) 前記S O I基板がS I M O X法により形成されてなることを特徴とする付記7に記載の半導体基板。

【0075】

(付記9) 前記S O I基板が張り合わせ法により形成されてなることを特徴とする付記7に記載の半導体基板。

【0076】

(付記10) 要求される前記結晶層の厚み t (μm) に対して、
 $[B] \geq (2.2 \pm 0.2) \times 10^{16} \text{ e x p } (0.21t)$
 の関係式に基づいて、ホウ素の前記濃度 $[B]$ (atoms/cm^3) の最低値が規定されてなることを特徴とする付記2～9のいずれか1項に記載の半導体基板。

【0077】

(付記11) 要求されるホウ素の前記濃度 $[B]$ (atoms/ cm^3) に対して、
 $[B] \geq (2.2 \pm 0.2) \times 10^{16} \text{ e x p } (0.21t)$
 の関係式に基づいて、前記結晶層の厚み t (μm) の最高値が規定されてなることを特徴とする付記2～9のいずれか1項に記載の半導体基板。

【0078】

(付記12) 前記裏面が露出状態とされているか、又は前記裏面に1 (nm) 以下の厚みの自然酸化膜が形成されていることを特徴とする付記1～11のいずれか1項に記載の半導体基板。

【0079】

(付記13) 1×10^{15} (atoms/ cm^3) 以上の濃度に炭素を含有することを特徴とする付記1～12のいずれか1項に記載の半導体基板。

【0080】

(付記14) 付記1～13のいずれか1項に記載の半導体基板上に半導体素子が形成されてなることを特徴とする半導体装置。

【0081】

(付記15) 5×10^{16} (atoms/ cm^3) 以上 2×10^{17} (atoms/ cm^3) 以下の濃度にホウ素を添加してシリコンウエハを形成する工程と、

前記シリコンウエハの結晶層形成面となる表面の裏面を鏡面加工する工程と、

前記シリコンウエハの前記表面を鏡面加工し、前記シリコンウエハのS F Q R 値 ≤ 70 (nm) とする工程と、

前記シリコンウエハの前記表面に結晶層を形成する工程と
 を含むことを特徴とする半導体基板の製造方法。

【0082】

(付記16) 前記結晶層がシリコンとゲルマニウムの合金結晶層であることを特徴とする付記15に記載の半導体基板の製造方法。

【0083】

(付記17) ホウ素を添加してシリコンウエハを形成する工程と、
 前記シリコンウエハの両面を鏡面加工する工程と、

前記シリコンウエハの一方の面に結晶層を形成する工程と
を含む半導体基板の製造方法であって、

前記シリコンウエハの両面の鏡面加工により、S F Q R 値 ≤ 70 (nm) を満足するとともに、前記ホウ素の濃度を 5×10^{16} (atoms/cm³) 以上 2×10^{17} (atoms/cm³) 以下とすることを特徴とする半導体基板の製造方法。

【0084】

(付記18) 前記結晶層がシリコンとゲルマニウムの合金結晶層であることを特徴とする付記15に記載の半導体基板の製造方法。

【0085】

【発明の効果】

本発明によれば、70 (nm) 世代のリソグラフィー工程の平坦度要求に応え、且つ酸化・非酸化という雰囲気ガス種に関わらず、加熱工程におけるオートドーピングを回避しながらも十分なゲッタリング能力の確保を可能とする半導体基板が実現し、これを用いた最小加工線幅が70 (nm) の半導体装置の製造が可能となる。

【図面の簡単な説明】

【図1】

本発明のシリコン基板の平坦度を示す特性図である。

【図2】

S S P ウエハの裏面を軽く研磨して裏面凹凸を部分的に除去したウエハ（本発明では準D S P ウエハ：Semi-D S P と呼ぶ。）の平坦度を示す特性図である。

【図3】

平坦度測定領域の配列（直径200 (mm) ウエハの場合）を示す概略平面図である。

【図4】

第1の実施形態のシリコン基板の一例を示す概略断面図である。

【図5】

加熱工程におけるオートドーピング評価のための熱処理炉内試料を示す模式図である。

【図6】

加熱工程におけるオートドーピング評価に用いた熱処理シーケンス図である。

【図7】

モニター用ウエハのホウ素濃度を示す特性図である。

【図8】

モニター用ウエハのホウ素濃度 ((a)1000°C、(b)1100°C) を示す特性図である

。

【図9】

試料A～Fの鉄元素強制汚染、擬似プロセス熱処理後の表層残留鉄濃度を示す特性図である。

【図10】

ゲッタリング能力が合格と判定されたエピウエハのエピ厚と基板ホウ素濃度との関係を示す特性図である。

【図11】

擬似プロセス熱処理前後の酸素析出量を示す特性図である。

【図12】

第1の実施形態のシリコン基板の他の例を示す概略断面図である。

【図13】

第1の実施形態のシリコン基板の他の例を示す概略断面図である。

【図14】

第1の実施形態のシリコン基板の他の例を示す概略断面図である。

【図15】

第1の実施形態のシリコン基板の他の例を示す概略断面図である。

【図16】

第1の実施形態のシリコン基板の他の例を示す概略断面図である。

【図17】

第2の実施形態のMOSトランジスタを示す概略断面図である。

【図18】

SSPウエハの平坦度を示す特性図である。

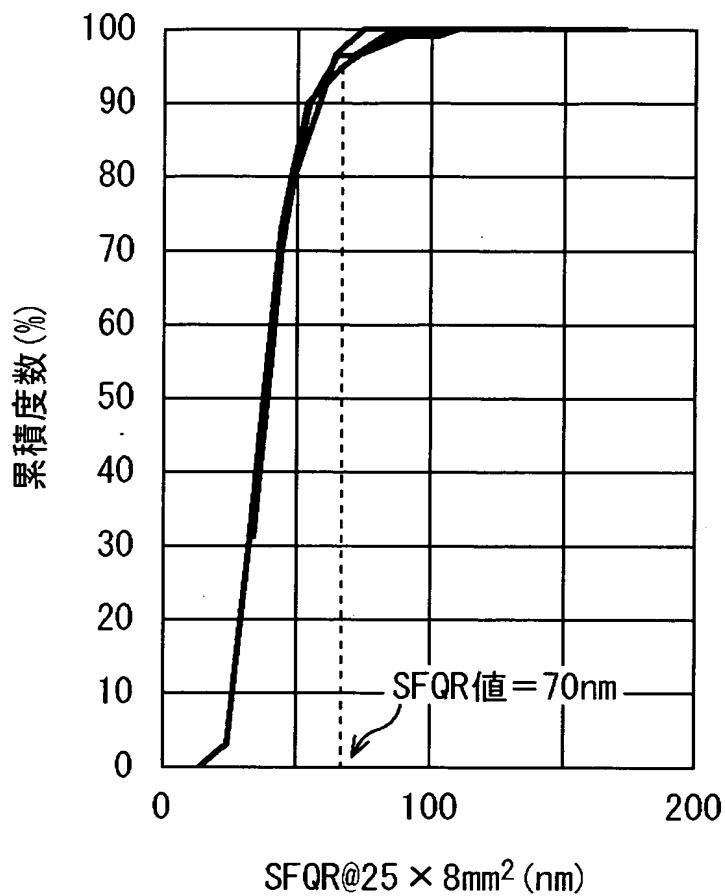
【符号の説明】

1 1, 2 1, 3 1 シリコン基板
1 2, 2 3, 3 3, 3 6, 4 1 シリコン結晶層
2 2 シリコンとゲルマニウムの合金結晶層
3 3, 4 2 シリコン酸化層
3 5 熱酸化層
5 1 n型ウェル
5 2 ゲート絶縁膜
5 3 ゲート電極
5 4 ソース
5 5 ドレイン

【書類名】

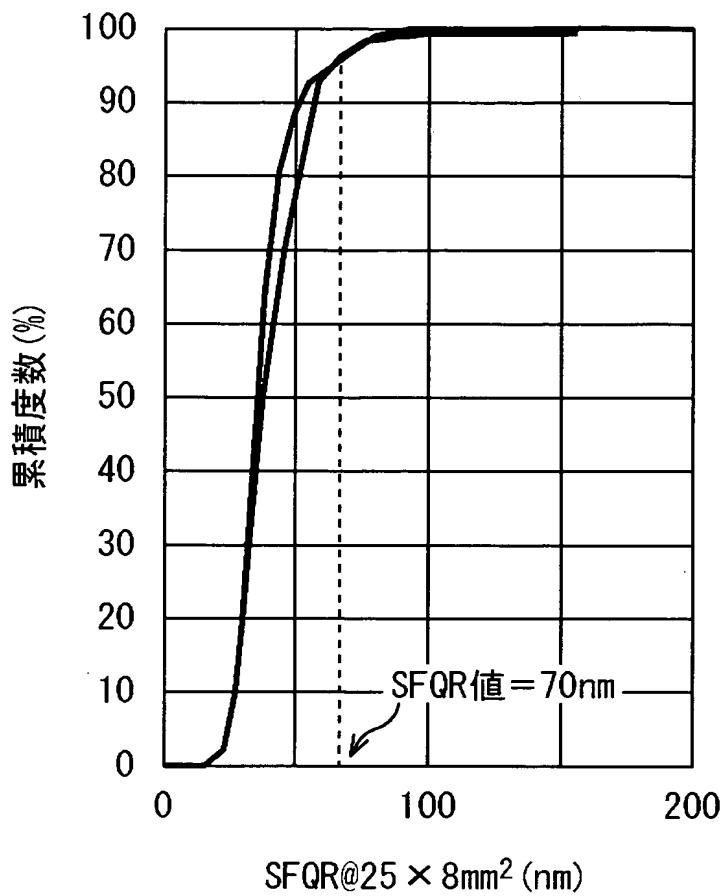
図面

【図 1】



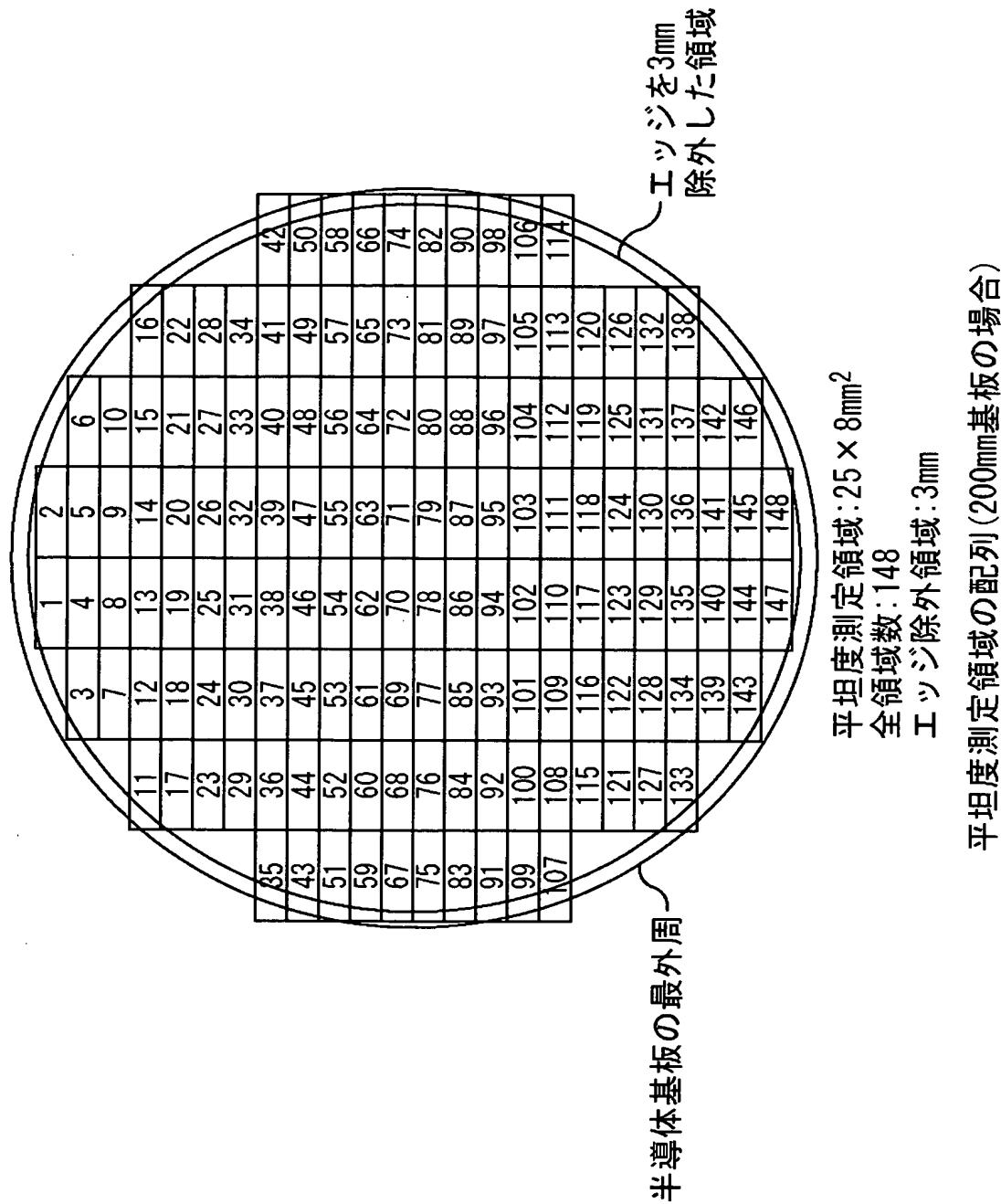
本発明のDSPウエハにおける平坦度

【図2】

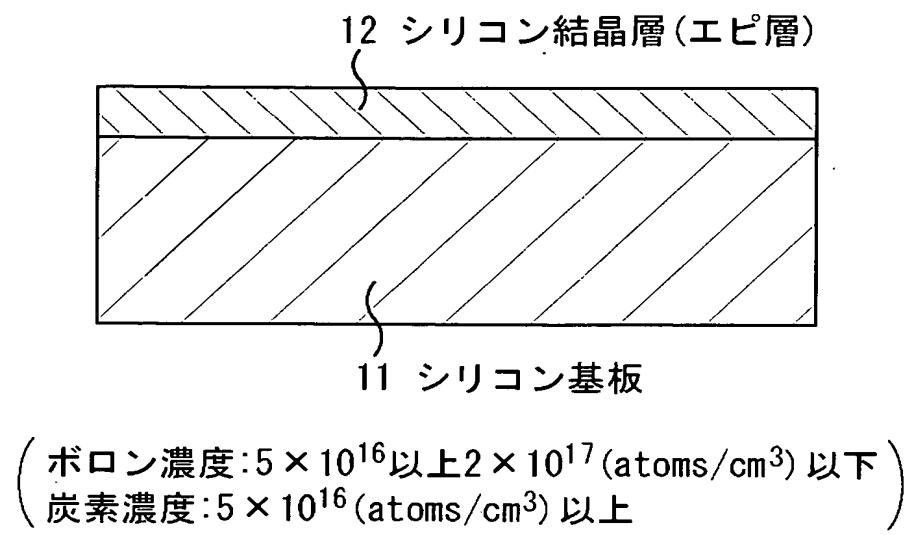


SSPウェハの裏面を軽く研磨して裏面凹凸を
部分的に除去した本発明のウェハにおける平坦度

【図3】

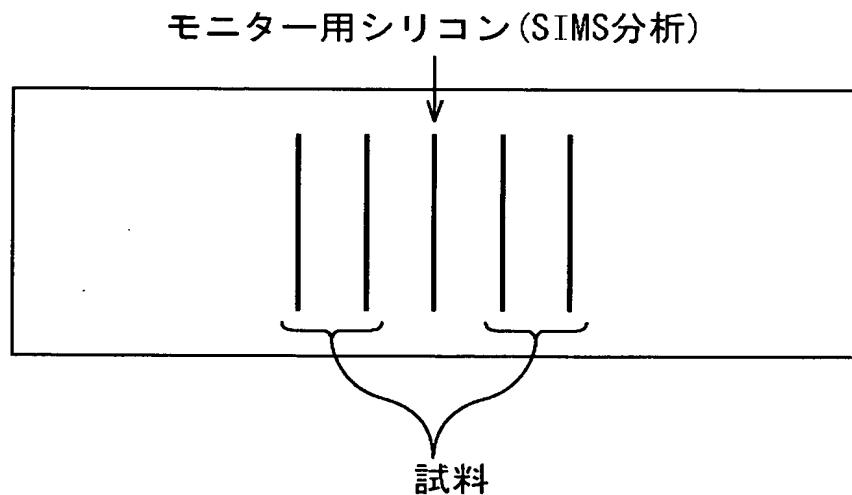


【図4】



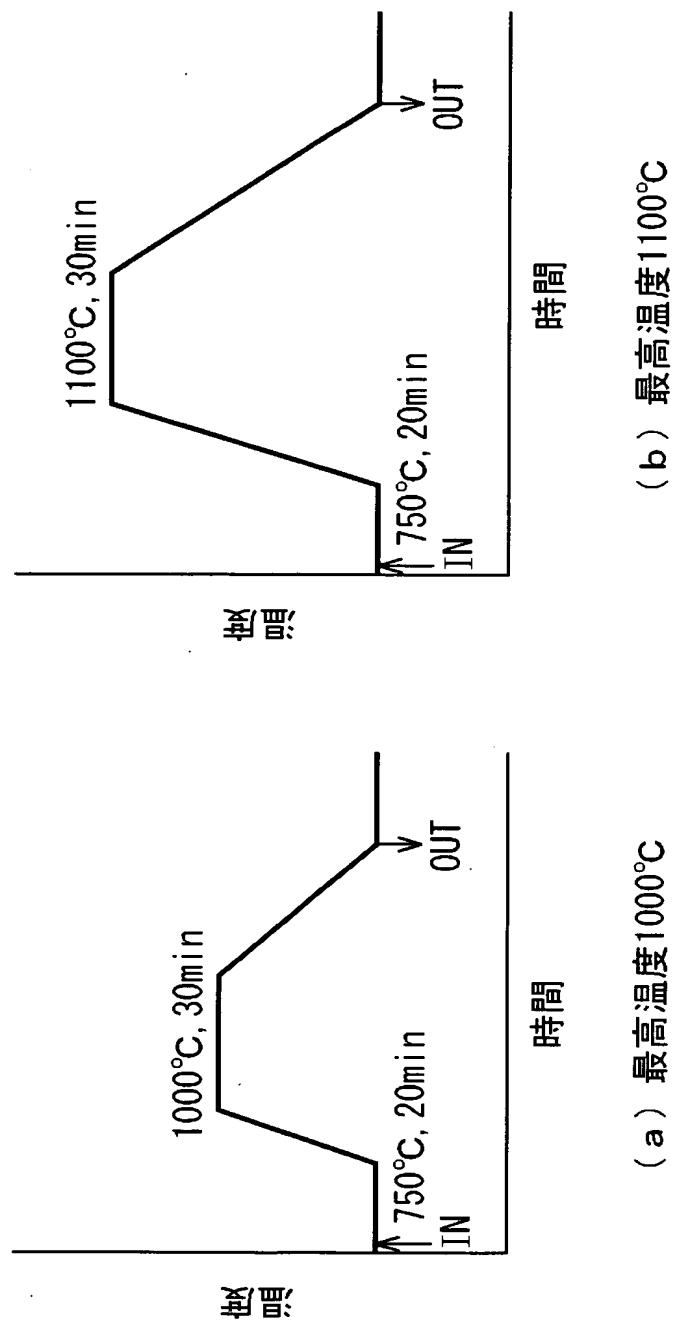
シリコン基板にエピ層を形成した半導体基板

【図5】



加熱工程におけるオートドーピング評価のための
熱処理炉内試料図

【図6】

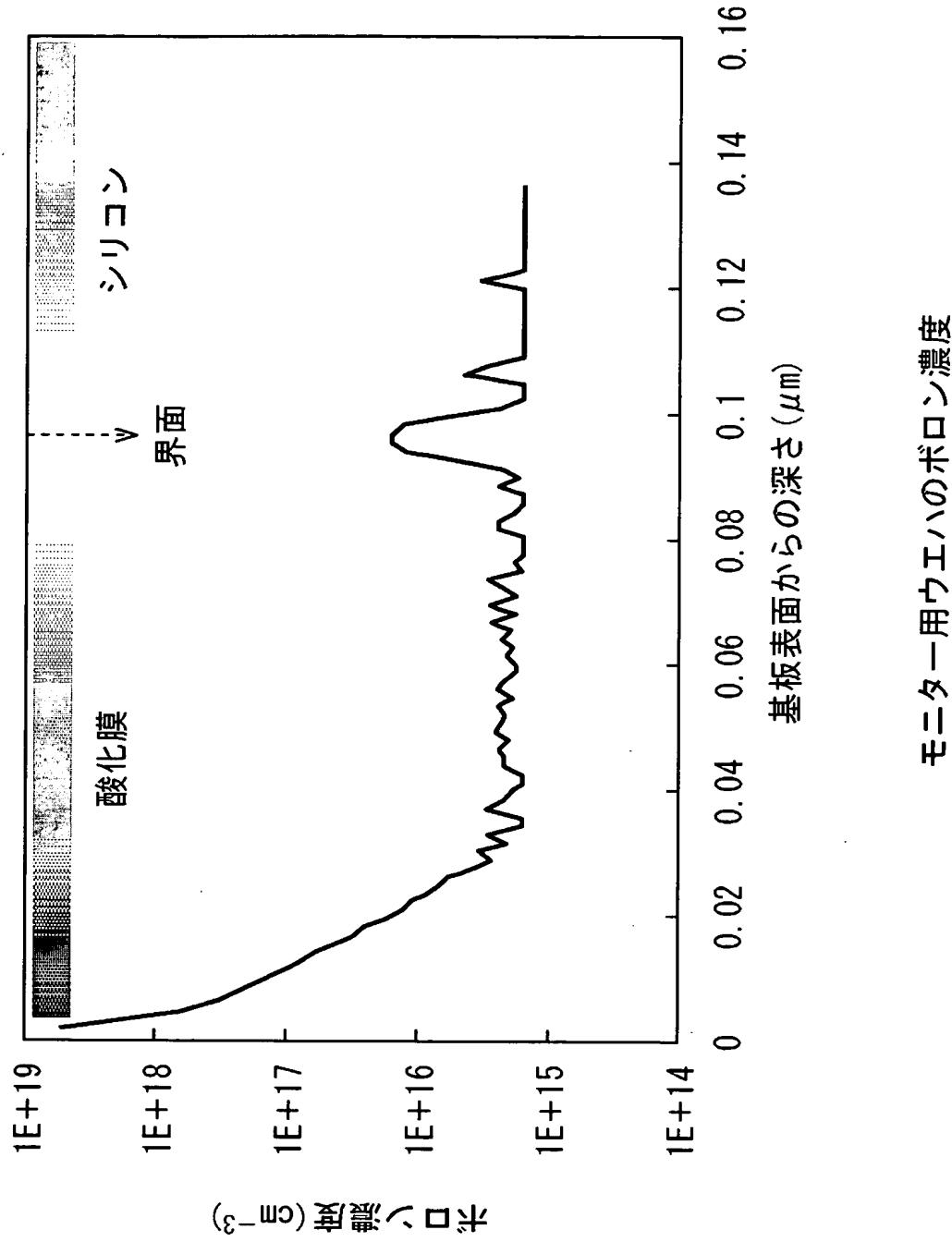


(b) 最高温度1100°C

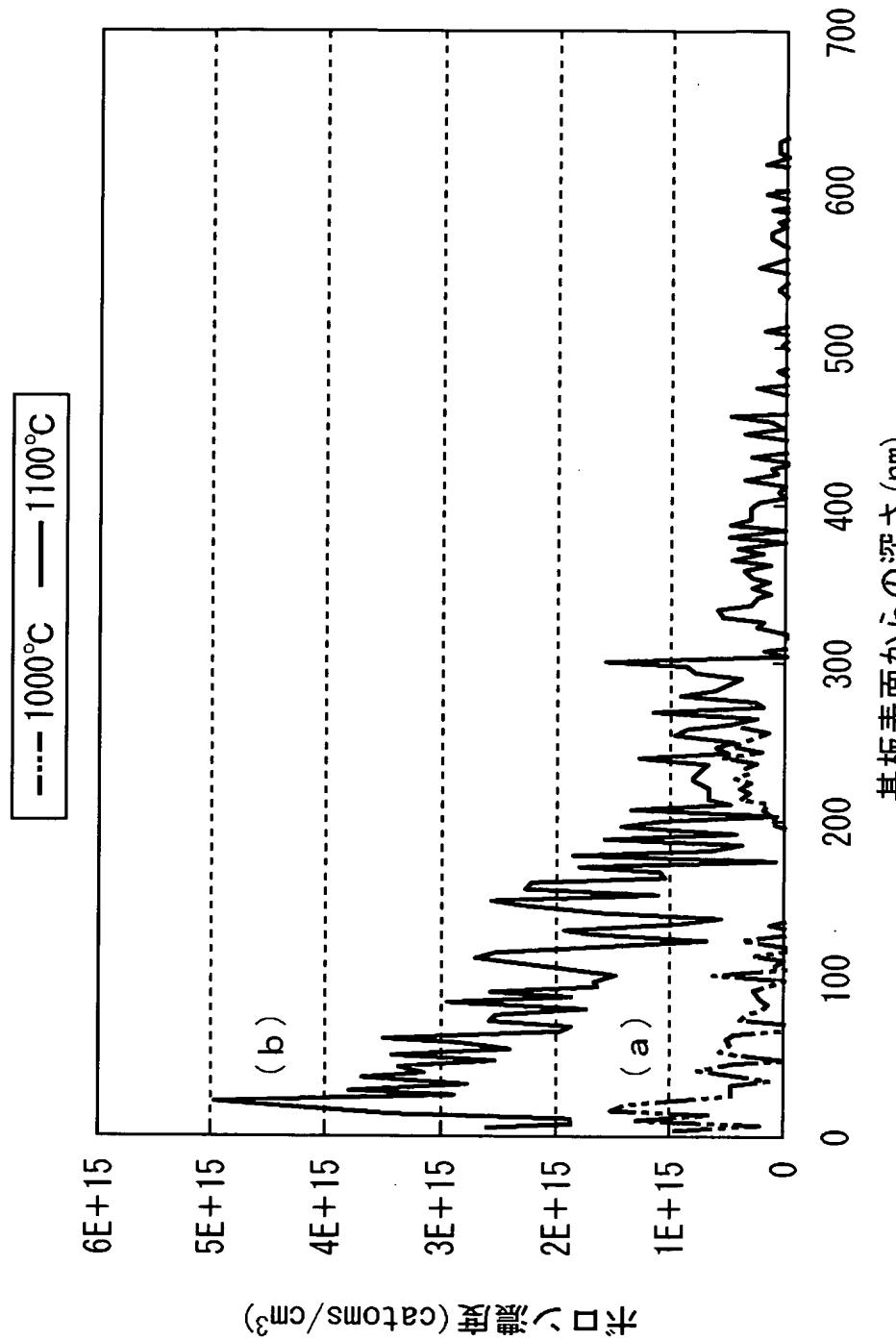
(a) 最高温度1000°C

加熱工程におけるオートドーピング評価に用いた熱処理シーケンス

【圖 7】

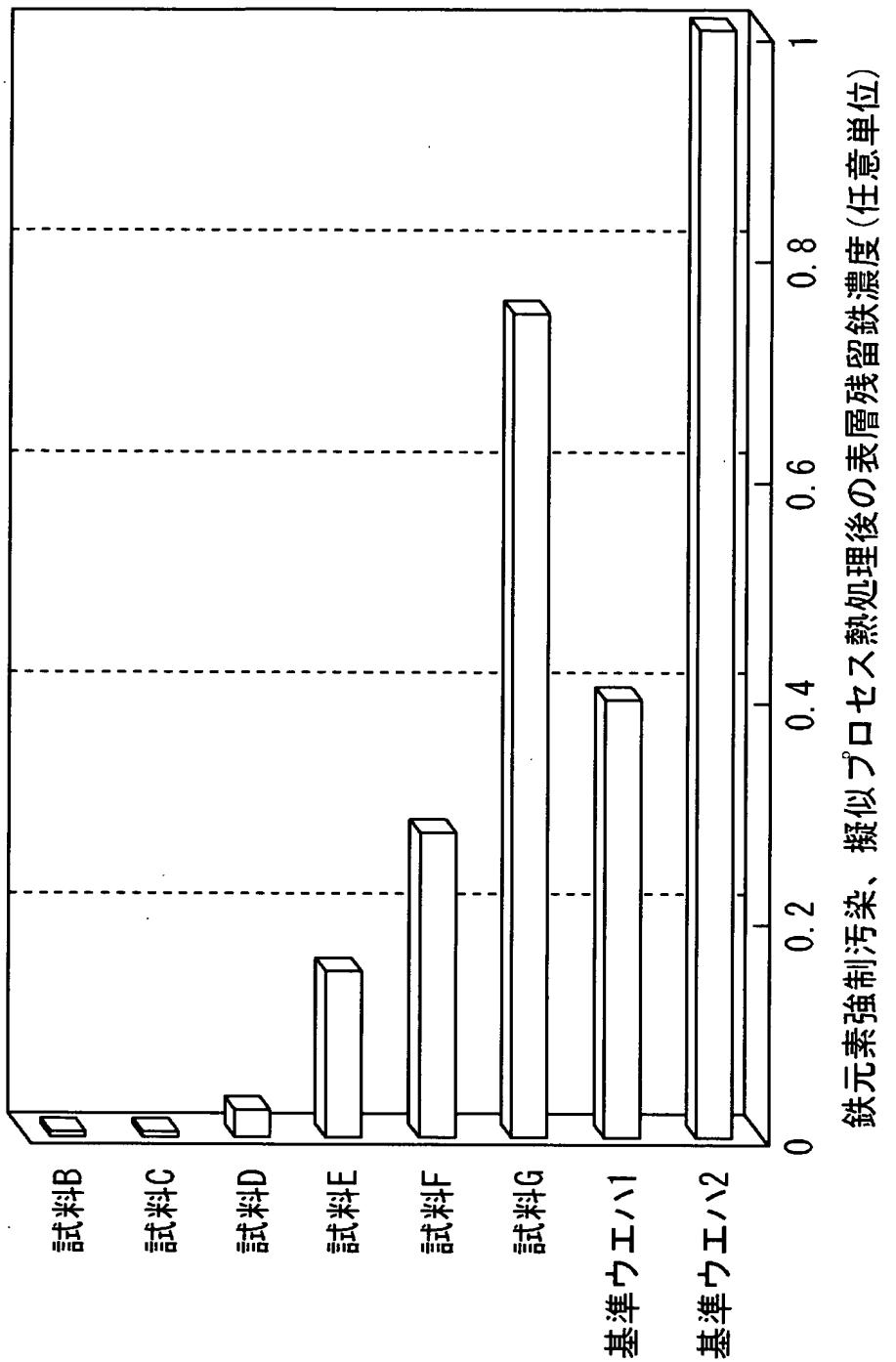


【図8】



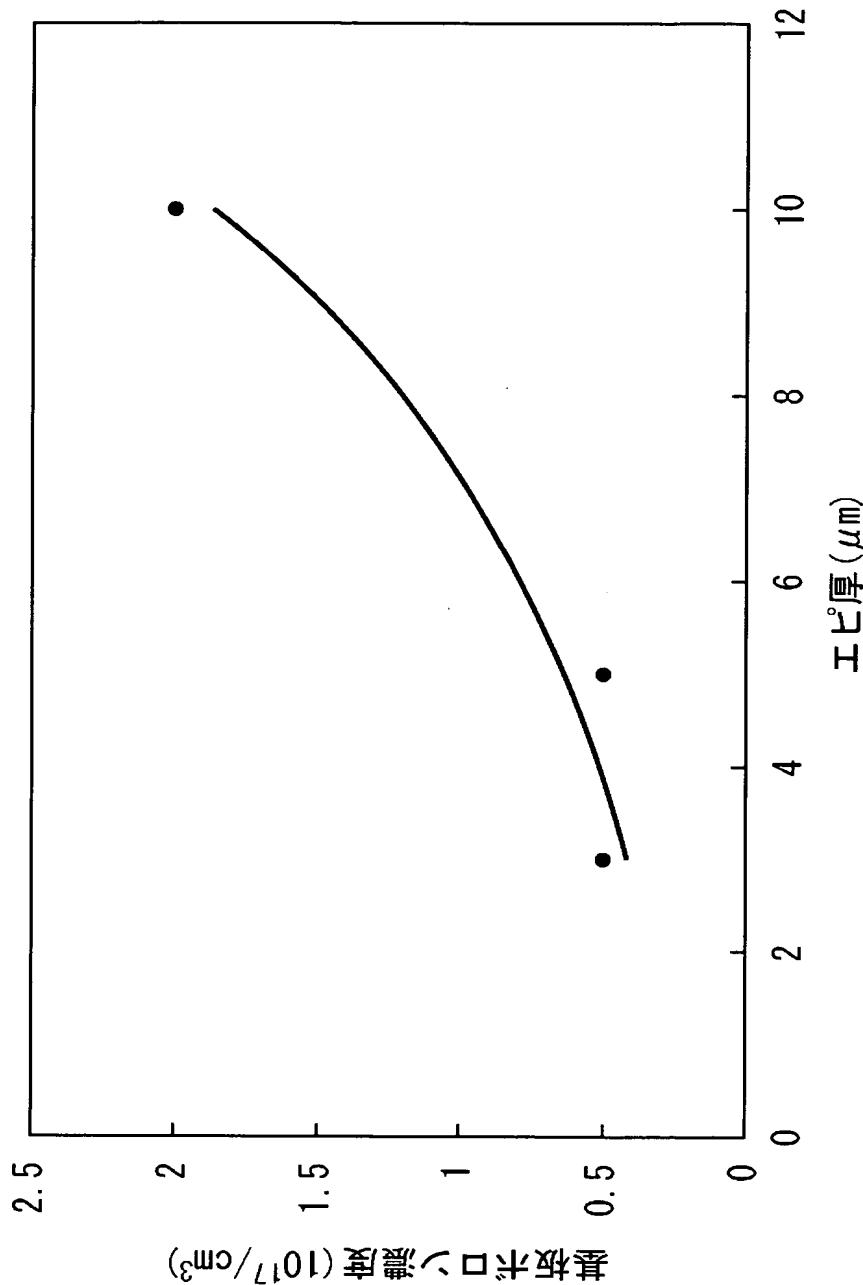
モニター用ウエハのボロン濃度 (a) 1000°C、(b) 1100°C

【図9】



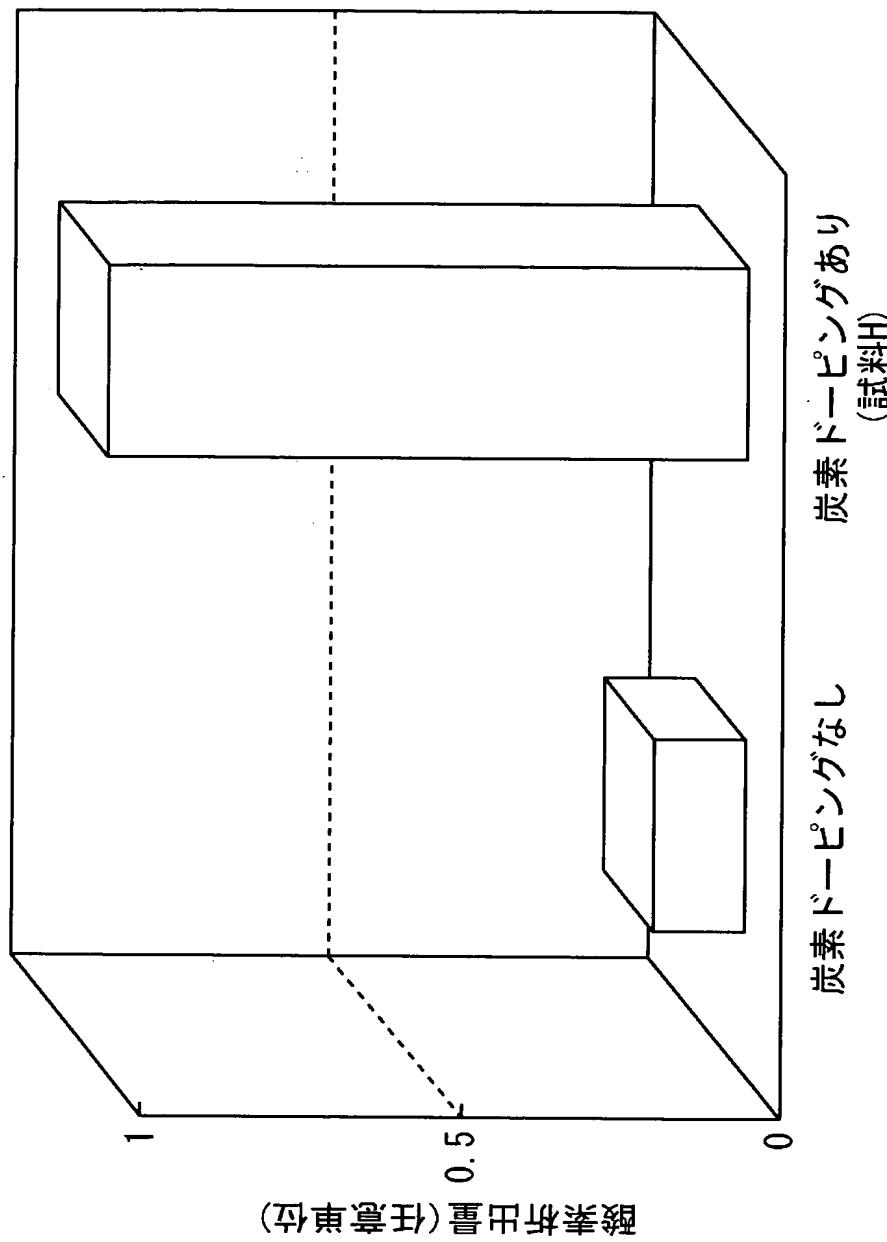
試料B～Gの鉄元素強制汚染、擬似プロセス熱処理後の表層残留鉄濃度

【図10】



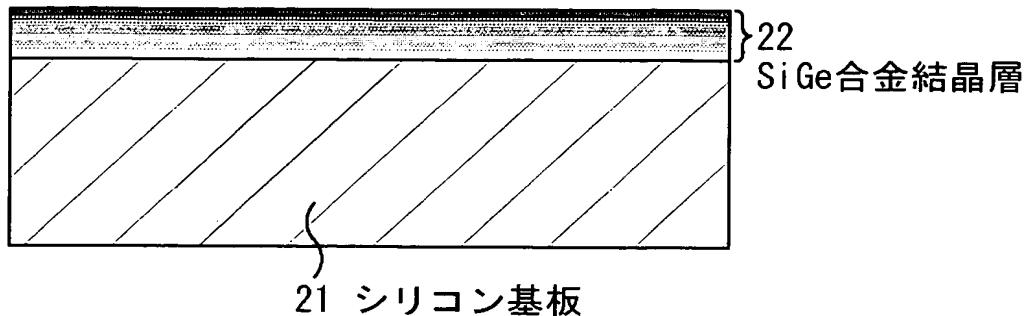
ゲッタリング能力が合格と判定されたエピウェーハの基板ボロン濃度とエピ厚の関係

【図11】



擬似プロセス熱処理中の酸素析出量

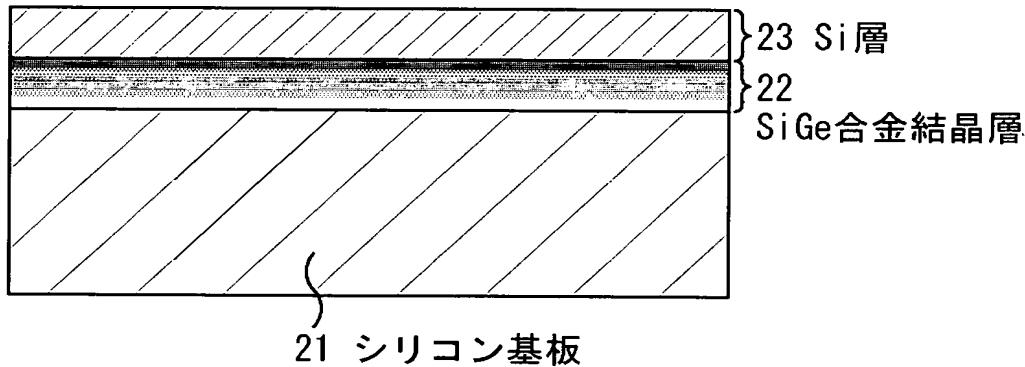
【図12】



（ボロン濃度： 5×10^{16} 以上 2×10^{17} 以下 (atoms/cm³)
 炭素濃度： 5×10^{16} 以上 (atoms/cm³)

シリコン基板にシリコンとゲルマニウムの
 合金結晶層を形成した半導体基板

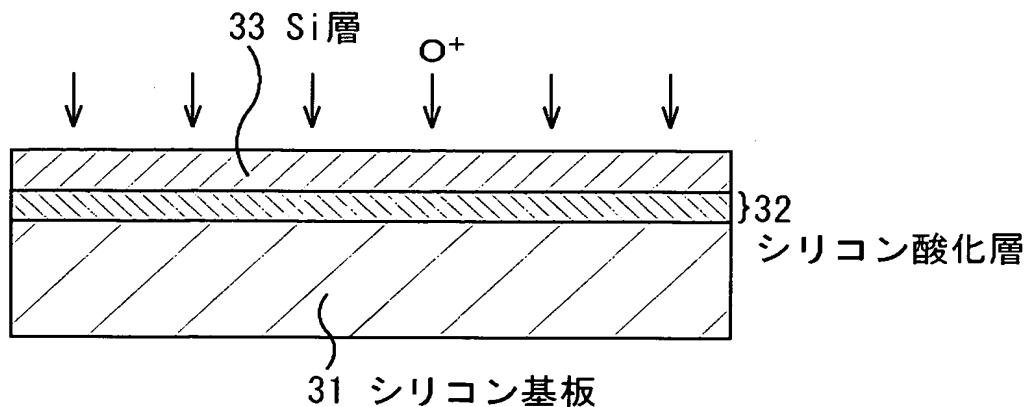
【図13】



（ボロン濃度： 5×10^{16} 以上 2×10^{17} 以下 (atoms/cm³)
 炭素濃度： 5×10^{16} 以上 (atoms/cm³)

シリコン基板にシリコンとゲルマニウムの合金結晶層、
 更にその表面にシリコン層を形成した半導体基板

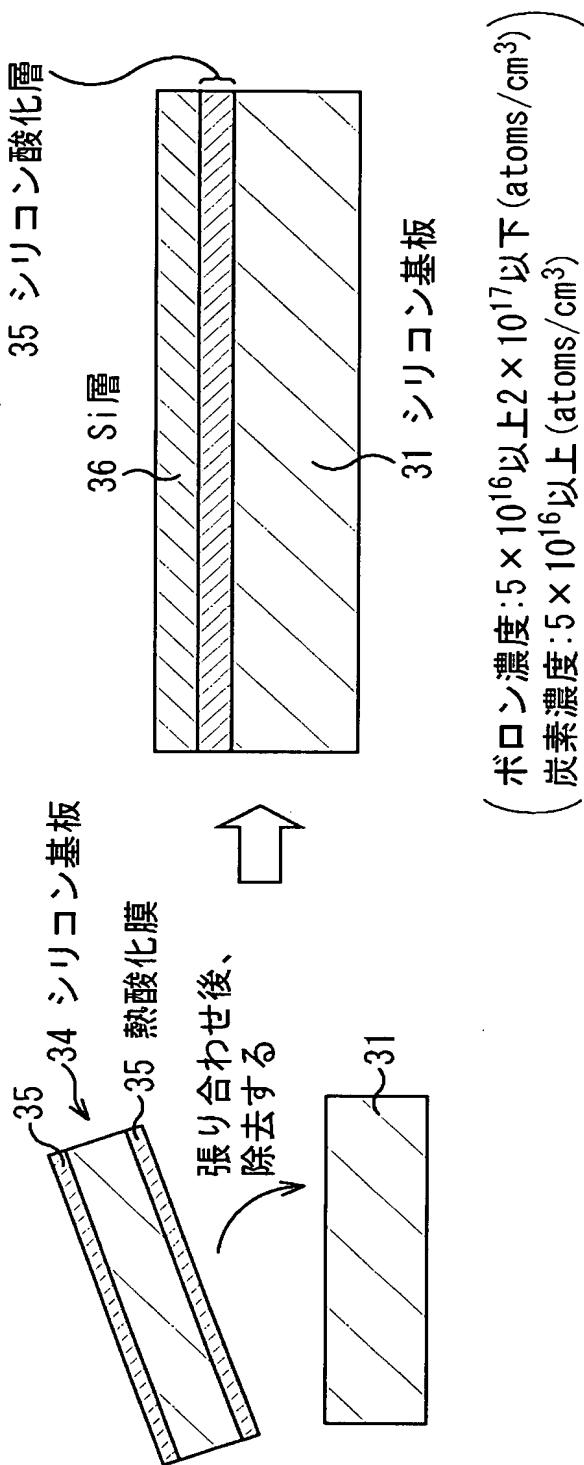
【図14】



（ボロン濃度： 5×10^{16} 以上 2×10^{17} 以下 (atoms/cm³)
炭素濃度： 5×10^{16} 以上 (atoms/cm³)

シリコン基板の表面から酸素イオンを注入し熱処理を行って
基板内部にシリコン酸化膜層を形成したSOI基板

【図15】



シリコン基板と、別途準備した表面に熱酸化膜を有するシリコン基板を張り合わせ、
後者の一部を除去SOI基板

【図16】

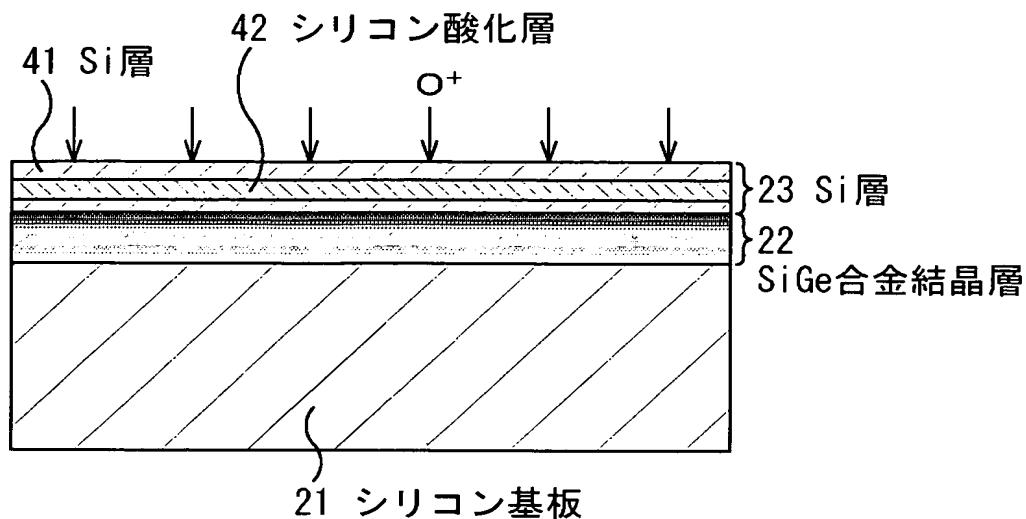
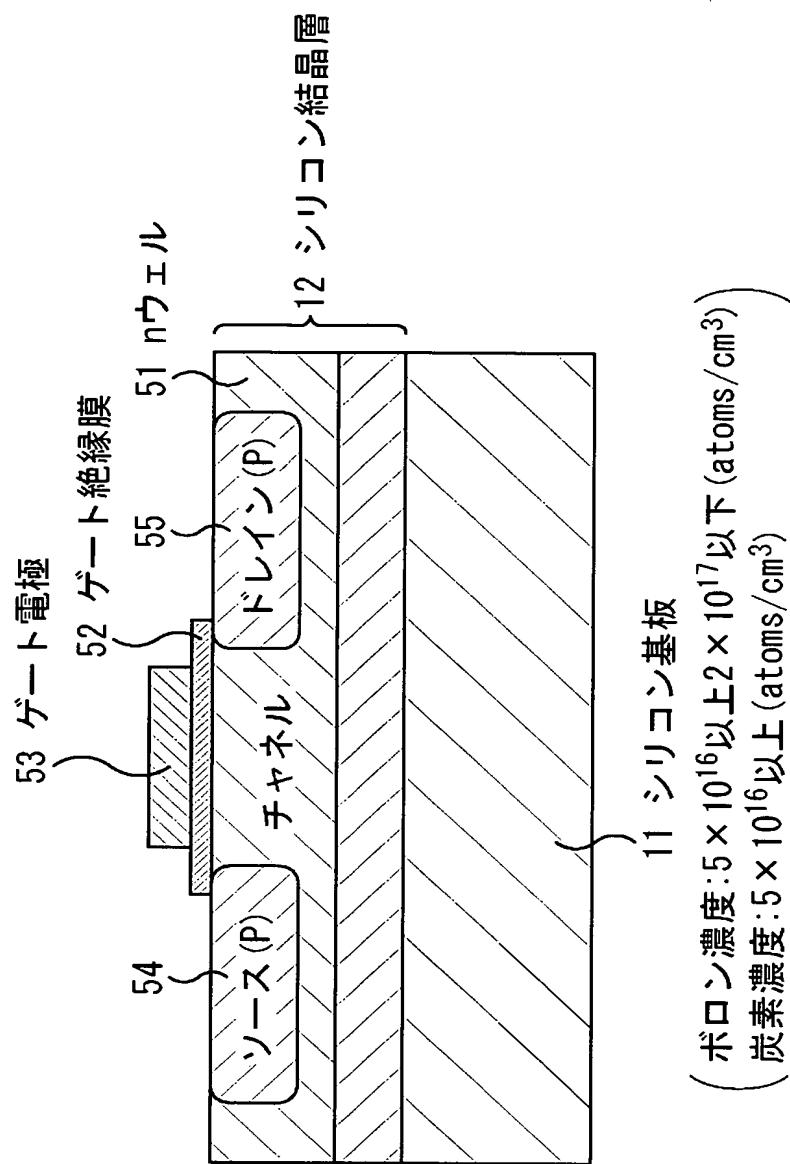


図13において、おもて面から酸素イオンを基板内に注入し熱処理を行って基板内部のシリコン層、シリコン・ゲルマニウム下地基板内の少なくとも1箇所にシリコン酸化膜を形成したSOI基板

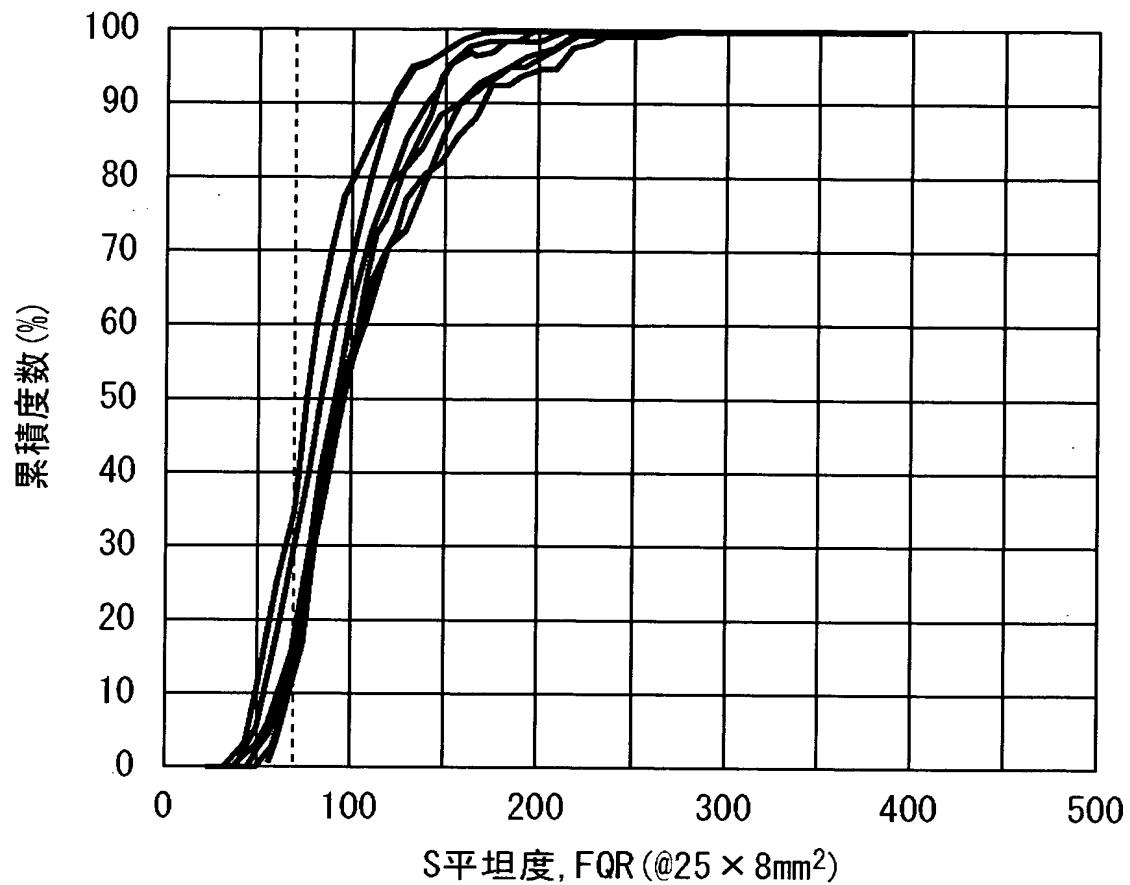
【図17】



11 シリコン基板
 (ボロン濃度: 5×10^{16} 以上 2×10^{17} 以下 (atoms/cm³))
 (炭素濃度: 5×10^{16} 以上 (atoms/cm³))

図4の半導体基板を用いたMOSトランジスタの製造方法

【図18】



片面のみを研磨した従来のSSPウェーハの平坦度
(発明者注: SFQR \leq 70nmを満たすのは多くても40%程度)

【書類名】 要約書

【要約】

【課題】 70 (nm) 世代のリソグラフィー工程の平坦度要求に応え、且つ酸化・非酸化という雰囲気ガス種に関わらず、加熱工程におけるオートドーピングを回避しながらも十分なゲッタリング能力の確保を可能とする。

【解決手段】 本発明の半導体基板は、DSPウエハまたは準DSPウエハ（図2）であって、基板表面に配列した 25×8 (mm²) の長方形領域の 95% 以上において、S F Q R 値 ≤ 70 (nm) なる平坦度を有し、 5×10^{16} (atoms / cm³) 以上 2×10^{17} (atoms / cm³) 以下の濃度にホウ素を含有する。具体的には、当該基板ホウ素濃度を有するシリコン基板11の表面上に、エピタキシャル成長によるシリコン結晶層12が形成されてなる。

【選択図】 図1

特願2002-381902

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住所 神奈川県川崎市中原区上小田中4丁目1番1号
氏名 富士通株式会社